

文章编号: 1000-7032(2022)01-0129-08

双电层氧化锌薄膜晶体管偏压应力稳定性

王 聪^{1,2}, 刘玉荣^{3*}, 彭 强¹, 黄 荷³

(1. 汕尾职业技术学院 海洋学院, 广东 汕尾 516600;

2. 汕尾市海洋产业研究院 新能源材料与催化工程研究中心, 广东 汕尾 516600;

3. 华南理工大学 微电子学院, 广东 广州 510640)

摘要: 以环保可降解的天然生物材料制备功能器件越来越受到关注,利用天然鸡蛋清作为栅介质层,采用射频磁控溅射法在其上沉积 ZnO 薄膜有源层,制备低压双电层氧化锌基薄膜晶体管(ZnO-TFT)并对其电学特性进行了表征,研究了器件在栅偏压和漏偏压应力下电性能的稳定性及其内在的物理机制。该 ZnO-TFT 器件呈现出良好的电特性,载流子饱和迁移率为 $5.99 \text{ cm}^2/(\text{V} \cdot \text{s})$, 阈值电压为 2.18 V , 亚阈值摆幅为 0.57 V/dec , 开关电流比为 1.2×10^5 , 工作电压低至 3 V 。研究表明,在偏压应力作用下,该 ZnO-TFT 器件电性能存在一定的不稳定性,我们认为栅偏压应力引起的电性能变化可能来源于栅介质附近及界面处的正电荷聚集、充放电效应和新陷阱态的复合效应;漏偏压应力引起的电性能变化可能来源于焦耳热引起的氧空位及沟道中的电子陷阱。

关键词: 薄膜晶体管; 氧化锌; 双电层; 偏压应力; 稳定性

中图分类号: TN321[†].5 文献标识码: A DOI: 10.37188/CJL.20210324

Bias Stress Stability of Electric-double-layer ZnO Thin-film Transistor

WANG Cong^{1,2}, LIU Yu-rong^{3*}, PENG Qiang¹, HUANG He³

(1. School of Ocean, Shanwei Institute of Technology, Shanwei 516600, China;

2. Novel Energy Materials & Catalysis Research Center, Shanwei Marine Industry Institute, Shanwei 516600, China;

3. School of Microelectronics, South China University of Technology, Guangzhou 510640, China)

* Corresponding Author, E-mail: phlyr@scut.edu.cn

Abstract: The use of environmentally friendly and degradable natural biomaterials to make functional devices has attracted more and more attention. Low-operating-voltage electric-double-layer(EDL) ZnO thin-film transistor(ZnO-TFT) was prepared by radio frequency magnetron sputtering by using natural albumen as a gate dielectric layer and ZnO as an active layer. The electrical characteristics of EDL ZnO-TFT was characterized, and the stability and its physical mechanism of the device under gate-bias and drain-bias stresses were investigated. The ZnO-TFT shows good electrical properties with a saturation mobility of $5.99 \text{ cm}^2/(\text{V} \cdot \text{s})$, a threshold voltage of 2.18 V , a subthreshold swing of 0.57 V/dec , an on/off current ratio of 1.2×10^5 , and an operating voltage of less than 3 V . Bias-stress stability analysis indicated that the electrical properties of the ZnO-TFT have obvious instability under the gate and drain bias stresses. We believe that the change of electrical properties caused by gate bias stress may come from the positive charge accumulation near the gate dielectric

收稿日期: 2021-10-12; 修订日期: 2021-10-27

基金项目: 广东省普通高校重点领域专项(新一代信息技术)(2020ZDZX3125); 国家自然科学基金(61871195); 广东省基础与应用基础研究基金(2021A1515011872); 汕尾职业技术学院科研项目(SWKT19-011)资助

Supported by Special Project in Key Fields of The Higher Education Institutions of Guangdong Province(The New Generation of Communication Technology)(2020ZDZX3125); National Natural Science Foundation of China(61871195); Basic and Applied Basic Research Foundation of Guangdong Province(2021A1515011872); Scientific Rproject of Shanwei Institute of Technology (SWKT19-011)

and the interface, the charge discharge effect and the composite effect of new trap states; the change of electrical properties caused by drain bias stress may come from the oxygen vacancy caused by Joule heat and the electron trap in the channel.

Key words: thin-film transistor; zinc oxide; electric double layer; bias stress; stability

1 引 言

近年来,采用环保可降解的天然生物材料制备生物兼容性功能器件越发受到关注,其中用天然生物材料制备薄膜晶体管(Thin-film transistors, TFTs)器件就是该领域重要应用之一。TFTs 作为核心驱动部件已广泛应用于平板显示器领域,同时在生物传感器、便携穿戴式电子器件、一次性电子产品等领域也具有极大的潜在应用前景。但是,TFTs 器件的电学性能不稳定性问题和低功耗问题已成为亟需解决的主要瓶颈问题。目前已有不少报道^[1-4],其中采用电解质材料作为器件的栅介质层,利用其双电层效应,可大幅度降低工作电压,实现超低功耗。

双电层薄膜晶体管(EDL-TFTs)以电解质作为栅介质层,与传统绝缘栅介质材料不同的是,电解质栅介质层与有源层界面处在电场作用下形成纳米级厚度的双电层效应,相当于在界面处形成了一个超大的双电层电容。该双电层电容的单位面积电容可大于 $1 \mu\text{F}/\text{cm}^2$,从而使 EDL-TFTs 能在更低的电压下工作,极大地减少了器件能耗^[5];另外,电解质材料大都可以在室温下制备,可更好地满足穿戴式柔性电子器件对低温制备的工艺要求^[6-8]。基于上述特性,双电层薄膜晶体管在便携式传感器、印刷电子技术、柔性电子器件、神经形态工程等领域展现出较大的应用潜力^[9-11]。

目前,以天然生物电解质材料作为栅介质层的 EDL 氧化物 TFT 有较多报道,主要集中在不同电解质与不同氧化物半导体之间的组合方式,制备的器件性能存在较大的差异。Liang 等以天然鸡蛋清作为栅介质层,采用磁控溅射法制备双电层薄膜晶体管,该器件工作电压低至 1.5 V ,开关电流比高达 2.4×10^8 ^[12]。Guo 等以鸡蛋蛋白为栅介质层在柔性纸基底成功制作出双电层(EDL)氧化物基薄膜晶体管,并展示了该器件在逻辑电路中的应用^[13-14]。Zhu 等以鸡蛋清作为开关层制

备了电阻随机存取存储器(RRAM),该器件具有可靠的存储性能^[15]。Kim 等以鸡蛋蛋白为栅介质制备了纸基非易失性存储器薄膜晶体管,该器件高开关电流比约为 1.1×10^6 ,饱和迁移率为 $11.5 \text{ cm}^2/(\text{V} \cdot \text{s})$,器件在分层和弯曲状态下其特性也没有明显退化^[16]。Jeon 等以鸡蛋蛋白为栅介质制备了纸基氧化物薄膜晶体管,该器件沟道迁移率和亚阈值斜率分别为 $6.48 \text{ cm}^2/(\text{V} \cdot \text{s})$ 和 1.28 V/s ^[17]。此外,采用海藻酸钠、蜂蜡、壳聚糖以及葡聚糖等天然生物可降解材料制备薄膜晶体管器件应用于脑启发神经形态、湿度传感领域、突触仿生等技术领域也有相关报道^[18-22]。然而,关于双电层薄膜晶体管稳定性的研究报道极少。本文采用射频磁控溅射法在天然鸡蛋清作为栅介质层上沉积氧化锌薄膜形成有源层,制备出低栅顶接触型双电层氧化锌薄膜晶体管,并对其电特性进行了表征,研究了该 ZnO-TFT 在栅、漏偏压应力作用下电特性的稳定性及其物理机制。

2 实 验

双电层氧化锌基薄膜晶体管实验样品采用氧化铟锡(ITO)导电玻璃作为衬底和栅(G)电极,样品的主要制备工艺步骤如下:首先依次使用无水丙酮、无水酒精、高纯水对 ITO 玻璃基片进行超声清洗;接着采用旋涂工艺在 ITO 玻璃基片上均匀旋涂一层天然鸡蛋清薄膜,并放置于真空干燥箱中使鸡蛋清从液态变成固态电解质;随后采用射频磁控溅射(RF)法在鸡蛋清栅介质层上沉积氧化锌薄膜有源层,RF 功率设置为 100 W ,Ar 与 O_2 的流量比调控为 30:30(mL/min);最后利用掩膜版采用真空镀膜技术蒸发 Al 形成漏(D)极和源(S)极,最终制得底栅顶接触型氧化锌基薄膜晶体管。该器件的结构示意图如图 1 所示,样品的沟道长度(L)与宽度(W)由所用掩膜版图形来确定,分别是 $80 \mu\text{m}$ 和 $400 \mu\text{m}$ 。

鸡蛋清栅介质层厚度由台阶仪测得,约为 850 nm ;有源层氧化锌薄膜的厚度利用德国 Ocean

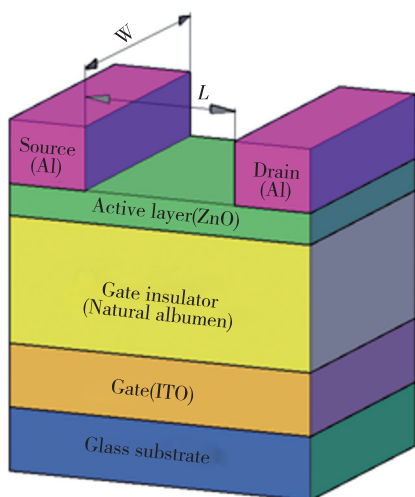


图 1 ZnO-TFT 器件结构图
Fig.1 Structure of the ZnO-TFT

Optics 公司的光反射薄膜测厚仪进行测量,其值为 100 nm;单位面积栅介质电容 (C_{ox}) 采用 Agilent 4284A 电容分析仪测得;ZnO-TFT 器件的电特性使用 Agilent 4156C 半导体参数分析仪及 CASCADE RF-1 探针台组成的测试系统进行测试^[23]。

3 结果与讨论

图 2 给出了该 ZnO-TFT 器件典型的输出特性和转移特性曲线。如图 2(a) 所示,器件在源漏电压 (V_{DS}) 处于 0 V 附近时漏极电流 (I_{DS}) 不存在拥堵现象,表明 ZnO 有源层和 Al 源漏电极之间具有良好的欧姆接触特性。当该器件和 V_{GS} 均为 2 V 左右时达到饱和状态,此时饱和漏电流达到 15 μA ,表明该器件可以在较低电压下达到较大的驱动电流。这是由于该 ZnO-TFT 器件的栅介质层(天然鸡蛋清)中含有可自由移动的 H^+ ,当在 ZnO-TFT 器件上加上栅源电压时形成电场, H^+ 在其作用下向有源层和栅介质层的接触面移动并在栅介质层表面处集聚形成正电荷层;同时有源层中的电子被 H^+ 形成的正电荷层吸引,在 ZnO-TFT 器件的栅介质层及有源层的界面处感应形成了 H^+ 层和电子层,即两界面处形成双电层 (EDL);该双电层仅纳米级厚度,其电容非常大,所以可以使器件在比较小的电压下产生较大的电流,即可以有效地减小器件的工作电压。

薄膜晶体管器件工作于饱和区时源漏之间的饱和电流 $I_{D,sat}$ 通常可表示为

$$I_{D,sat} = \frac{W}{2L} \mu_{\text{eff}} C_{\text{ox}} (V_{\text{GS}} - V_{\text{th}})^2, \quad (1)$$

其中, μ_{eff} 为饱和区载流子有效场效应迁移率, V_{th} 为阈值电压。为了估算器件的 μ_{eff} 和 V_{th} 的大小,图 2(b) 给出了 $I_D^{1/2}$ 与 V_{GS} 的关系曲线, μ_{eff} 可根据 $I_D^{1/2}$ 与 V_{GS} 变化关系通过公式(2)求得:

$$\mu_{\text{eff}} = \frac{2LB^2}{WC_{\text{ox}}}, \quad (2)$$

其中, $B = \partial(I_D)^{1/2} / \partial V_{\text{GS}}$, 是转移特性曲线 ($I_D^{1/2}$ 与 V_{GS} 关系曲线) 中饱和区的曲线斜率。

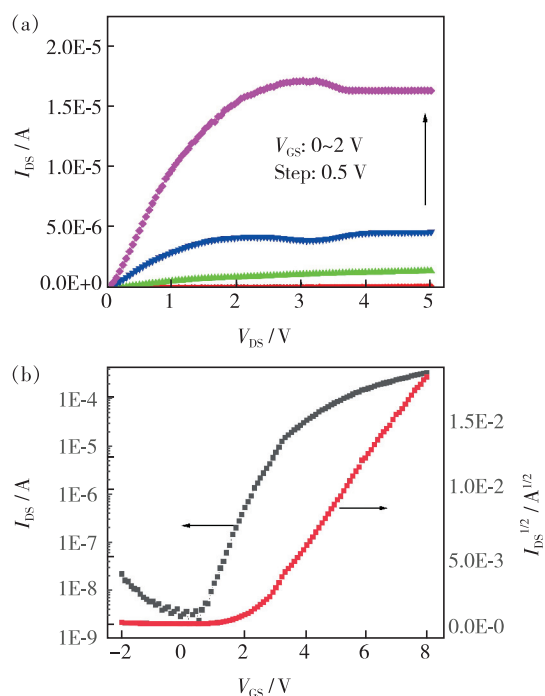


图 2 EDL ZnO-TFT 的电特性。(a) 输出特性曲线;(b) 转移特性曲线。

Fig.2 Electrical properties of the EDL ZnO-TFT. (a) Output characteristic. (b) Transfer characteristics.

实验测得栅介质层在 100 Hz 时单位面积电容 C_{ox} 为 0.74 $\mu\text{F}/\text{cm}^2$, 根据公式(2), 由图 2(b) 给出的 $I_D^{1/2}$ 与 V_{GS} 关系曲线可计算出该双电层 ZnO-TFT 的饱和区载流子有效场效应迁移率 (μ_{eff}) 为 5.99 $\text{cm}^2/(\text{V} \cdot \text{s})$, 阈值电压 (V_{th}) 为 2.18 V, 亚阈值振幅 (SS) 为 0.57 V/dec, 开关电流比 ($I_{\text{on}}/I_{\text{off}}$) 为 1.2×10^5 。

图 3 给出了实验中双电层 ZnO-TFT 器件的电容-电压 ($C-V$) 和电容-频率 ($C-f$) 特性曲线。由图 3(a) 看出, 当器件处于正栅压时, 该器件的电容值迅速增加了近 3 个数量级; 而普通栅介质形成的电容器件, 其变化率只会小幅度同数量级的

变化。表明所制备的 ZnO-TFT 器件施加正栅压时,由于形成了双电层,使器件的电容大幅度的增加。由图 3(b)的 $C-f$ 关系可知,在低频区附近 (>100 Hz) 电容随着频率的增加迅速减小,这与常规氧化物栅介质器件特性明显不同,对于常规栅介质,通常低频区电容随频率基本不变。样品的 $C-f$ 特性表明 EDL-TFTs 器件在较低的工作频率下工作才可以实现低功耗特性,这是因为器件栅介质层中的可移动 H^+ 离子只有在较低的频率下响应外加电场的变化,从而呈现出双电层电容特性;在高频电场条件下 H^+ 离子的移动跟不上频率的变化,因此鸡蛋清栅介质层就失去了双电层电容特性,与传统介电层的电容特性相当。

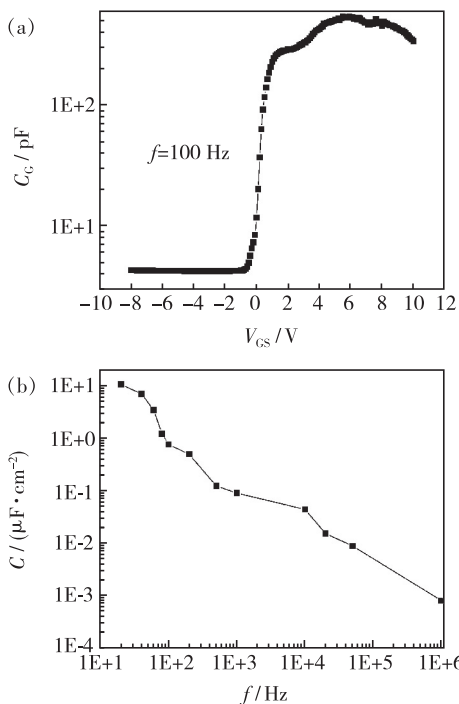


图 3 EDL ZnO-TFT 的 $C-V$ 特性曲线 (a) 和 $C-f$ 特性曲线 (b)
Fig. 3 $C-V$ and $C-f$ characteristics of the EDL ZnO-TFT.
(a) $C-V$ characteristic. (b) $C-f$ characteristic.

3.1 栅偏压应力稳定性

图 4 给出了 ZnO-TFT 在源漏偏压 V_{DS} 为 0 V、栅偏压应力 V_{GS} 分别为 2 V 和 6 V 时不同应力时间后的转移特性曲线。由图 4 可以看到,在不同的栅偏压应力作用下,转移特性存在不同程度的变化,说明其电特性存在栅偏压应力不稳定性,且 6 V 的栅偏压应力要比 2 V 栅偏压应力的影响要大。

为了进一步分析栅偏压应力与电性能的依赖

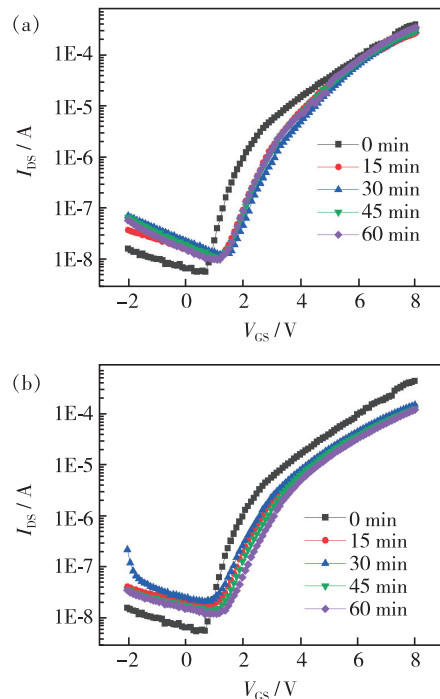


图 4 不同栅偏压应力下 ZnO-TFT 转移特性随应力时间变化曲线。(a) $V_{GS} = 2$ V; (b) $V_{GS} = 6$ V。

Fig. 4 Transfer characteristics of the ZnO-TFT with stress time under different gate bias stress. (a) $V_{GS} = 2$ V. (b) $V_{GS} = 6$ V.

关系,从图 4 中提取出不同应力时间下的电性能参数。图 5 给出了器件在偏压应力 V_{GS} 分别为 2 V 和 6 V 下阈值电压偏移量 (ΔV_{th})、场效应迁移率 (μ)、关态电流 (I_{off})、亚阈值摆幅 (SS) 随应力时间的变化曲线。

由图 5 可观察到,对于 $V_{GS} = 2$ V 的正栅压应力,器件的 ΔV_{th} 、 μ 和 SS 随应力时间的增加保持相对稳定,变化较小。其中 V_{th} 存在少量波动, μ 随应力时间的增加有少许增加,SS 保持较好的稳定性。这是因为 $V_{GS} = 2$ V 的栅偏压应力小于初始阈值电压,此时半导体表面导电沟道层可动电荷(沟道自由电子)还极为稀少,栅应力电压感应的电子大都被沟道中缺陷态所俘获。另外,当栅偏压应力较小时,栅介质中电场和半导体表面电场都相对较弱,不足以引起栅介质体内和界面产生新的缺陷态。对于 $V_{GS} = 6$ V 的正栅偏压应力,随着应力时间的增加, V_{th} 先快速减小而后趋于稳定(即向负栅偏压方向漂移),这可解释为电解质中的正电荷(如 Na^+) 在栅应力形成的电场作用下向栅界面处靠近所致; μ 亦先快速减小而后趋于稳定,15 min 应力减小了近 1 倍,这说明在较大

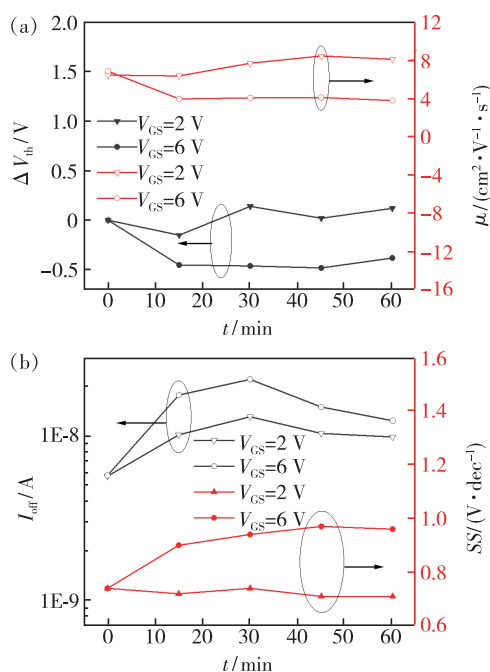


图 5 不同栅偏压应力下 ZnO-TFT 的电学参数随应力时间变化曲线。(a) ΔV_{th} 和 μ 随 t 的变化曲线; (b) I_{off} 和 SS 随 t 的变化曲线。

Fig. 5 Electrical parameters of the ZnO-TFT with stress time under different gate bias stress. (a) ΔV_{th} and μ . (b) I_{off} and SS .

的栅偏压应力作用下器件的迁移率发生明显的退化; 而 SS 则表现为不断增大的趋势, 这说明在栅偏压应力作用下器件沟道区及界面处产生了少量的新缺陷态^[24]。无论是 $V_{GS} = 2 V$ 还是 $V_{GS} = 6 V$ 的栅应力下, 随应力时间增加, I_{off} 皆表现先明显增大而后又有所恢复。这可能是双电层等效于超级电容器, 短时应力作用时相对于电容充电, 应力结束转移曲线测试时产生放电效应, 故导致 I_{off} 增加; 应力作用一定时间 (30 min) 后, 以放电效应为主, 所以 I_{off} 又有所减小。栅偏压应力越大, 充电电荷越多, I_{off} 增加也就越大。

基于以上分析, 器件的正栅偏压应力引起的电性能不稳定性的物理机制可由图 6 示意给出, 无栅应力时, 蛋清电解质中质子 (H^+)、带负电的大分子、杂质离子 (如 Na^+ 、 K^+ 等) 随机分布在栅介质层中 (如图 6(a)); 当器件施加正栅偏压应力作用时, 由于应力时源漏电极短接, 应力作用产生一个由栅极指向沟道界面的垂直电场, 这个电场将鸡蛋清电解质中的 H^+ 推向栅介质界面处, 同时蛋清中的 Na^+ 、 K^+ 等正电荷离子也会在栅介质与有源层界面处聚集, 甚至进入

沟道中引起掺杂效应, 如图 6(b) 所示。正电荷从电解质体内向界面聚集导致阈值电压向负栅压方向移动, 而界面处缺陷增加导致亚阈值摆幅增大; 其次, 界面处因 H^+ 引起的双电层效应, 在界面处沟道中产生大量电子积累, 部分沟道载流子 (电子) 被栅介质层或栅介质层和有源层的界面陷阱态所俘获成为电荷中心^[25-26], 从而对沟道中载流子的输运起散射作用, 导致载流子迁移率降低; 另外, 在栅偏压应力下, 尤其是栅偏压较大的情况, 沟道电子在电场作用下会注入到栅介质体内, 在这个过程中可能对栅介质层内部及界面处弱键产生破坏, 导致新缺陷态形成, 从而引起迁移率减小。因此, 正栅偏压应力作用下, 器件电性能的变化主要是栅介质附近及界面处的正电荷聚集、充放电效应及新陷阱态产生的复合效应。

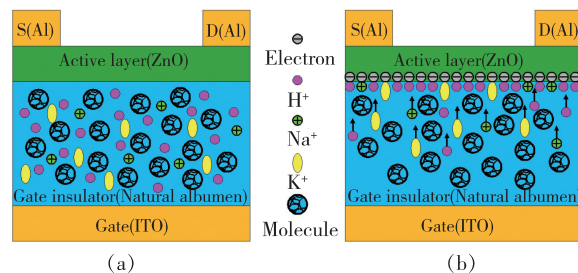


图 6 ZnO-TFT 栅偏压应力工作原理图。(a) 无栅偏压应力; (b) 有正栅偏压应力。

Fig. 6 Working principle diagram of ZnO TFT gate bias stress. (a) No gate bias stress. (b) Gate bias stress.

3.2 漏偏压应力稳定性

图 7 给出了器件在 V_{GS} 为 0 V、 V_{DS} 分别为 2 V 和 6 V 的偏压应力下不同应力时间的转移特性曲线。由图 7 可以发现, 随着应力时间的增加, 转移特性曲线并没有出现单一方向的漂移, 而是呈现一定的来回波动, 漏偏压应力越大波动的范围也增大。对于 $V_{DS} = 2 V$ 的漏偏压应力, 随应力时间的增加, 转移曲线先左漂移而后向右漂移, 且在 60 min 应力时间后转移曲线位于初始曲线的右侧; 而对于 $V_{DS} = 6 V$ 的漏偏压应力, 随应力时间的增加, 转移曲线先左漂移而后向右漂移, 但在 60 min 应力时间后转移曲线仍位于初始曲线的左侧。

为了更清晰地揭示漏偏压应力作用对器件电性能的影响, 从图 7 可以提取出该 EDL ZnO-TFT 器件的电性能参数。图 8 给出了在 V_{DS} 分别为 2 V

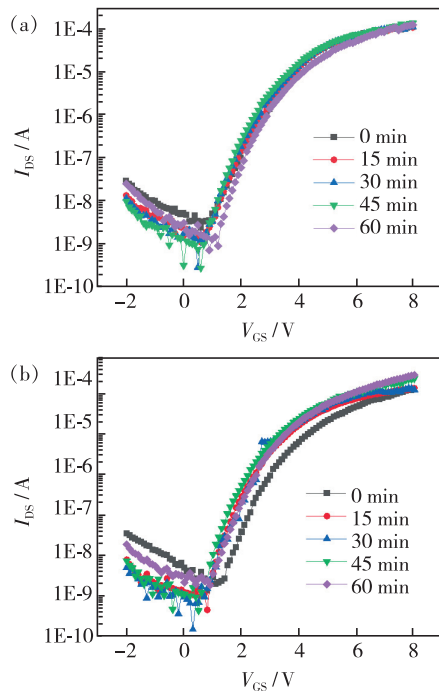


图 7 不同漏偏压应力下 ZnO-TFT 转移特性随应力时间变化。(a) $V_{DS} = 2$ V; (b) $V_{DS} = 6$ V。

Fig. 7 Transfer characteristics of the ZnO-TFT with stress time under different drain bias stress. (a) $V_{DS} = 2$ V. (b) $V_{DS} = 6$ V.

和 6 V 的偏压应力作用下不同应力时间的电参数 ΔV_{th} 、 μ 、 I_{off} 和 SS 随应力时间的变化曲线。

由图 8(a) 可以看出,对器件施加漏偏压应力时,随着应力时间的增加 V_{th} 先减小而后再增加,且相比于 $V_{DS} = 2$ V 时的漏偏压应力, $V_{DS} = 6$ V 时的漏偏压应力引起 V_{th} 的变化量增大;在较小的漏偏压应力 ($V_{DS} = 2$ V) 下,器件的 μ 随应力时间的增加没有明显的变化,而对于较大的漏偏压应力 ($V_{DS} = 6$ V) 时, μ 随着应力时间的增加而增大,60 min 应力时间后 μ 增加近 2 倍;从图 8(b) 可以看出,在不同的漏偏压应力作用下, I_{off} 随应力时间的增加先有少许减小,45 min 后又有所增加;SS 随应力时间的增加略有减小,但并没有随漏偏压应力的增加而增加。

器件在漏偏压应力下引起的电参数的不稳定性可作如下解释:当器件施加漏偏压应力作用时,由于此时栅源短接 ($V_{GS} = 0$ V),因此应力作用时器件内部会诱导两个电场,一个是沟道层的漏极指向源极端的横向电场,另一个是沟道有源层指向栅极的垂直电场。横向电场使电子从源端注入沟道,并在沟道电场作用下向漏端迁移形成沟

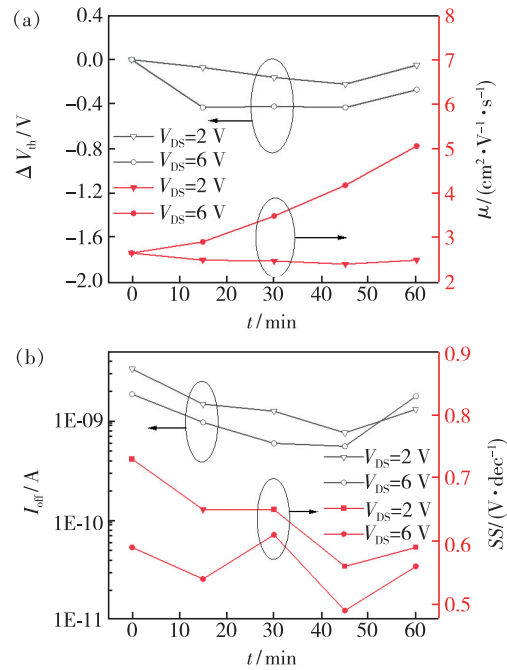


图 8 不同漏偏压应力下 ZnO-TFT 的电学参数随应力时间变化曲线。(a) ΔV_{th} 和 μ 随 t 的变化曲线; (b) I_{off} 和 SS 随 t 的变化曲线。

Fig. 8 Electrical parameters of the ZnO-TFT with stress time under different drain bias stress. (a) ΔV_{th} and μ . (b) I_{off} and SS.

道电流,可导致有源层 ZnO 中因焦耳热而产生新的氧空位,从而使沟道中的电子浓度增加^[27];另一方面,源端注入的电子也可能被沟道中的陷阱态所捕获,产生充放电效应。垂直电场将鸡蛋清电解质中的 H^+ 、 Na^+ 和 K^+ 等可动正电荷推向栅极一侧,且其中的 Na^+ 和 K^+ 等正电荷在应力释放后的测试期间来不及恢复初始状态,从而削弱了对器件的不利影响。基于以上分析,可以认为在漏偏压应力作用下器件的 V_{th} 的不稳定性主要来源于沟道内陷阱态对电子的捕获效应,在撤消应力测试时沟道中被陷阱的电子来不及释放,因此相当于沟道中的有效陷阱态减小,对栅压感应的沟道电子陷阱作用减弱,即阈值电压减小。但随着应力时间的增长,由于栅电极与源电极接地,漏偏压在栅介质层产生由沟道指向栅极的垂直电场,该电场可将电解质中的负电荷 (Cl^- 、带负电的蛋白等) 驱赶至界面附近,故导致阈值向右漂移 (ΔV_{th} 减小)。对于较大的漏偏压应力 ($V_{DS} = 6$ V),随着应力时间的延长,沟道电流形成的焦耳热增多,使器件温度上升,因而产生新的氧空位越为明显,氧

空位释放电子引起沟道中电子浓度增大,从而导致迁移率随应力时间增加而有所增大,因此引起器件的开态电流增加。

4 结 论

本文采用射频磁控溅射法,以天然鸡蛋清作为栅介质层,以氧化锌作为有源层,制备得到 EDL ZnO-TFT,研究了 ZnO-TFT 在栅、漏偏压应力下电性能的稳定性。该 ZnO-TFT 器件呈现出良好的电学性能,载流子饱和迁移率为 $5.99 \text{ cm}^2/(\text{V} \cdot \text{s})$, 阈值电压为 2.18 V , 亚阈值摆幅为 0.57 V/dec , 开关电流比约为 1.2×10^5 , 工作电压低于 3 V 。由于采用了天然鸡蛋清电解质作为器件的

栅介质层,在沟道与栅介质界面处形成双电层效应,从而有效降低了器件的工作电压。通过对 EDL ZnO-TFT 器件在偏压应力效应的测试与分析,发现该器件存在一定的偏压应力不稳定性。其中,较大的栅偏压应力作用下主要表现为阈值电压向负栅压方向移动,迁移率有所减小,亚阈值摆幅增大,关态电流先增加后减小;较大的漏偏压应力作用下表现为迁移率增加,关态电流减小,阈值电压向负栅压移动。

本文专家审稿意见及作者回复内容的下载地址:
<http://cjil.lightpublishing.cn/thesisDetails#10.37188/CJL.20210324>。

参 考 文 献:

- [1] XU W Y, LI H, XU J B, *et al.* Recent advances of solution-processed metal oxide thin-film transistors [J]. *ACS Appl. Mater. Interfaces*, 2018, 10(31):25878-25901.
- [2] FORTUNATO E, BARQUINHA P, MARTINS R. Oxide semiconductor thin-film transistors: a review of recent advances [J]. *Adv. Mater.*, 2012, 24(22):2945-2986.
- [3] KAMIYA T, HOSONO H. Material characteristics and applications of transparent amorphous oxide semiconductors [J]. *NPG Asia Mater.*, 2010, 2(1):15-22.
- [4] PARK J S, MAENG W J, KIM H S, *et al.* Review of recent developments in amorphous oxide semiconductor thin-film transistor devices [J]. *Thin Solid Films*, 2012, 520(6):1679-1693.
- [5] JIANG S H, FENG P, YANG Y, *et al.* Flexible low-voltage In-Zn-O homojunction TFTs with beeswax gate dielectric on paper substrates [J]. *IEEE Electron Device Lett.*, 2016, 37(3):287-290.
- [6] UENO K, SHIMOTANI H, YUAN H, *et al.* Field-induced superconductivity in electric double layer transistors [J]. *J. Phys. Soc. Jpn.*, 2014, 83(3):032001-1-16.
- [7] WEN J, ZHU L Q, FU Y M, *et al.* Activity dependent synaptic plasticity mimicked on indium-tin-oxide electric-double-layer transistor [J]. *ACS Appl. Mater. Interfaces*, 2017, 9(42):37064-37069.
- [8] HE Y L, YANG Y, NIE S, *et al.* Electric-double-layer transistors for synaptic devices and neuromorphic systems [J]. *J. Mater. Chem. C*, 2018, 6(20):5336-5352.
- [9] FACCHETTI A. Gels excel [J]. *Nat. Mater.*, 2008, 7(11):839-840.
- [10] YUAN H T, WANG H T, CUI Y. Two-dimensional layered chalcogenides: from rational synthesis to property control *via* orbital occupation and electron filling [J]. *Acc. Chem. Res.*, 2015, 48(1):81-90.
- [11] FUJIMOTO T, AWAGA K. Electric-double-layer field-effect transistors with ionic liquids [J]. *Phys. Chem. Chem. Phys.*, 2013, 15(23):8983-9006.
- [12] 梁定康, 陈义豪, 徐威, 等. 基于蛋清栅介质的超低压双电层薄膜晶体管 [J]. *物理学报*, 2018, 67(23):237302-1-6.
LIANG D K, CHEN Y H, XU W, *et al.* Ultralow-voltage albumen-gated electric-double-layer thin film transistors [J]. *Acta Phys. Sinica*, 2018, 67(23):237302-1-6. (in Chinese)
- [13] GUO L Q, XU G, XU C, *et al.* Egg albumen-based biopolymer electrolyte lateral capacitive coupling thin-film transistors on logical operation [J]. *Org. Electron.*, 2021, 93:106109-1-17.
- [14] GUO L Q, XU C, ZHOU H L, *et al.* Natural chicken albumen gate dielectric for coplanar oxide electrochemical transistors with tunable threshold voltage [J]. *Org. Electron.*, 2020, 77:105517.

- [15] ZHU J X, ZHOU W L, WANG Z Q, *et al.* Flexible, transferable and conformal egg albumen based resistive switching memory devices [J]. *RSC Adv.*, 2017, 7(51):32114-32119.
- [16] KIM S J, JEON D B, PARK J H, *et al.* Nonvolatile memory thin-film transistors using biodegradable chicken albumen gate insulator and oxide semiconductor channel on eco-friendly paper substrate [J]. *ACS Appl. Mater. Interfaces*, 2015, 7(8):4869-4874.
- [17] JEON D B, BAK J Y, YOON S M. Oxide thin-film transistors fabricated using biodegradable gate dielectric layer of chicken albumen [J]. *Jpn. J. Appl. Phys.*, 2013, 52(12R):128002-1-3.
- [18] HU W N, JIANG J, XIE D D, *et al.* Transient security transistors self-supported on biodegradable natural-polymer membranes for brain-inspired neuromorphic applications [J]. *Nanoscale*, 2018, 10(31):14893-14901.
- [19] 蒋双鹤. 低压铟锌氧双电层晶体管研究 [D]. 南京:南京大学, 2016.
JIANG S H. *Low-voltage In-Zn-O Double-layer Thin Film Transistor Research* [D]. Nanjing: Nanjing University, 2016. (in Chinese)
- [20] 周斌. 低压 ITO 基薄膜晶体管研究 [D]. 长沙:湖南大学, 2012.
ZHOU B. *Study of Low Voltage ITO-based Thin Film Transistors* [D]. Changsha: Hunan University, 2012. (in Chinese)
- [21] 杨雅涵. 基于葡聚糖介电质的超柔性可降解有机突触晶体管的制备及其特性研究 [D]. 长春:东北师范大学, 2021.
YANG Y H. *Fabrication and Properties of Dextran-based Ultraflexible Degradable Organic Synaptic Transistors* [D]. Changchun: Northeast Normal University, 2021. (in Chinese)
- [22] 聂莎. 低压氧化物双电层突触晶体管及其湿度传感应用 [D]. 南京:南京大学, 2019.
NIE S. *Low-voltage Oxide-based Electric-double-layer Synaptic Transistors and Their Humidity Sensing Applications* [D]. Nanjing: Nanjing University, 2019. (in Chinese)
- [23] 黄荷. 基于鸡蛋清栅介质的双电层氧化锌薄膜晶体管研究 [D]. 广州:华南理工大学, 2018.
HUANG H. *Study on Electric Double Layer ZnO Thin-film Transistors with Chicken Albumen Dielectric* [D]. Guangzhou: South China University of Technology, 2018. (in Chinese)
- [24] 刘玉荣, 黄荷, 刘杰. 室温下溅射法制备高迁移率氧化锌薄膜晶体管 [J]. *发光学报*, 2017, 38(7):917-922.
LIU Y R, HUANG H, LIU J. High mobility ZnO thin-film transistor fabricated by sputtering at room temperature [J]. *Chin. J. Lumin.*, 2017, 38(7):917-922. (in Chinese)
- [25] LEE J M, CHO I T, LEE J H, *et al.* Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors [J]. *Appl. Phys. Lett.*, 2008, 93(9):093504-1-3.
- [26] TSAI C T, CHANG T C, CHEN S C, *et al.* Influence of positive bias stress on N₂O plasma improved InGaZnO thin film transistor [J]. *Appl. Phys. Lett.*, 2010, 96(24):242105-1-3.
- [27] LI H C, LIU Y R, GENG K W, *et al.* Temperature dependence of the electrical characteristics of ZnO thin film transistor with high-*k* NbLaO gate dielectric [J]. *J. Vac. Sci. Technol. B*, 2021, 39(1):012202.



王聪(1980 -), 男, 广东揭阳人, 硕士, 副教授, 2012 年于华南理工大学获得硕士学位, 主要从事薄膜晶体管的研究。
E-mail: congw4026@qq.com



刘玉荣(1968 -), 男, 江西吉安人, 博士, 教授, 2007 年于华南理工大学获得博士学位, 主要从事薄膜晶体管、传感器与信息感知、可穿戴柔性电子等的研究。
E-mail: phlyr@scut.edu.cn